

XII международная конференция  
CEE-SEC(R) / РАЗРАБОТКА ПО  
28–29 октября, Москва



# Использование открытых кодов для расширения возможностей платформы MIPSfpga

А. Н. Павлов

ФГУ ФНЦ НИИСИ РАН

## Об авторе

Павлов А. Н. <[antony@niisi.msk.ru](mailto:antony@niisi.msk.ru)>

сотрудник сектора Программирования НИИСИ РАН,  
участвую в верификации при помощи СПО  
разрабатываемых в НИИСИ микропроцессоров с  
MIPS-подобной системой команд (АКА архитектура  
КОМДИВ).

Antony Pavlov <[antonypavlov@gmail.com](mailto:antonypavlov@gmail.com)>

участник нескольких проектов СПО:

- ▶ linux;
- ▶ barebox (U-Boot v2);
- ▶ qemu;
- ▶ openocd.

см. также <https://www.openhub.net/accounts/antonypavlov>

## MIPSfpga (с мая 2015 года)

- ▶ необфусцированные исходные тексты на Verilog коммерческого процессорного ядра MIPS microActiv UP предоставлены для реализации в ПЛИС в учебных/научных целях;
- ▶ потребители — преподаватели и студенты университетов;
- ▶ методические материалы по проведению лабораторных работ прилагаются (исследование процессора; bare-metal программирование простейшей периферии).

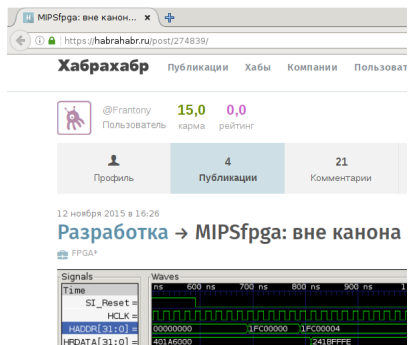


В рамках сообщества opencores.org накоплено большое число opensource IP-блоков.

## myMIPSfpga (октябрь-ноябрь 2015 года)

myMIPSfpga — моя попытка интегрировать ядро myMIPSfpga с open source IP-блоками с [opencores.org](http://opencores.org).

2mm



MIPSfpga: вне канон... x

https://habrahabr.ru/post/274839/

**Хабрахабр** Публикации Хабы Компании Пользоват

@Frantory 15,0 0,0  
Пользователь карма рейтинг

Профиль 4 Публикации 21 Комментарии

12 ноября 2015 в 16:26

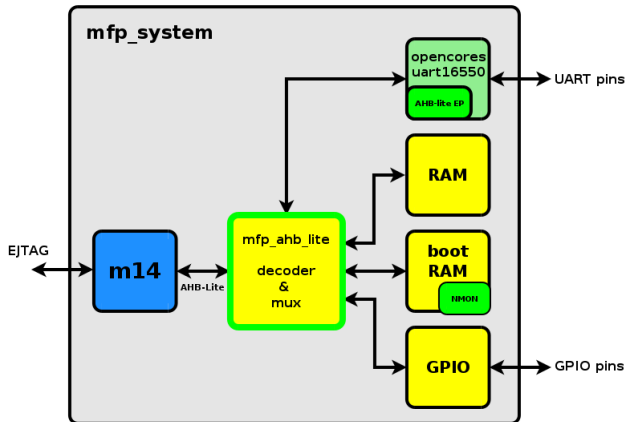
**Разработка → MIPSfpga: вне канона**

FPGA\*

Signals	Waves
SI_Reset =	ns 600 ns 700 ns 800 ns 900 ns
HCLK =	[Timing diagram showing clock signal]
MADDR[31:0] =	00000000 1FC00000 1FC00004
MFDATA[31:0] =	401A6000 241BFFFE

Исходные тексты:

- ▶ <https://github.com/MIPSfpga/myMIPSfpga>



## myMIPSfpga: впечатления

MIPSfpga — замечательный образовательный продукт!

К проекту есть интерес!

Опыт показал, что можно заниматься MIPSfpga «в домашних условиях» без чрезмерных усилий (см. myMIPSfpga).

Но есть и трудности...

### Ограничения:

- ▶ только для преподавателей, работающих со студентами;
- ▶ NDA;
- ▶ для быстрого старта нужны малодоступные платы и ПО;
- ▶ есть сильная зависимость от САПР и инструментального ПО;
- ▶ не предусмотрено подключения open source IP-блоков.

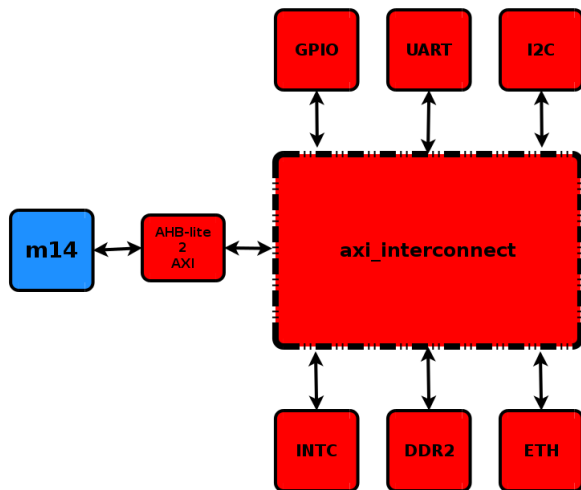


Для снятия ограничений необходимо использовать open source компоненты!

## MIPSfpga SoC (с декабря 2015 года)

- ▶ СНК на базе AXI и IP-блоков Xilinx
  - ▶ INTC;
  - ▶ DDR2;
  - ▶ UART;
  - ▶ Ethernet;
  - ▶ I2C;
  - ▶ GPIO.
- ▶ лабы: bare-metal ПО и Linux (!); поддержка MIPSfpga SoC добавлена в mainline linux!

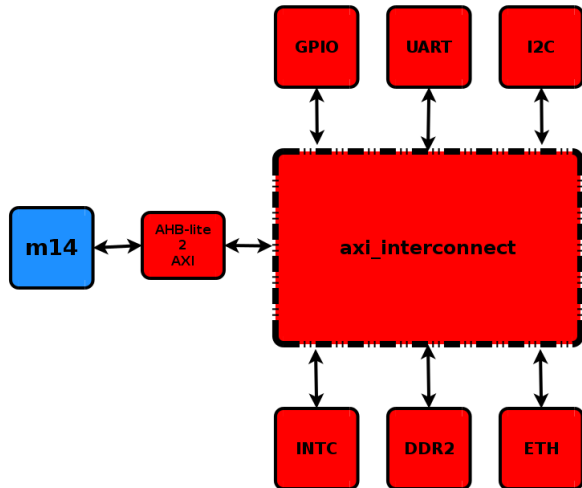
# MIPSfpga SoC



Легенда:

- ▶ синим — процессорное ядро MIPSfpga;
- ▶ красным — IP-блоки Xilinx.

# MIPSfpga SoC



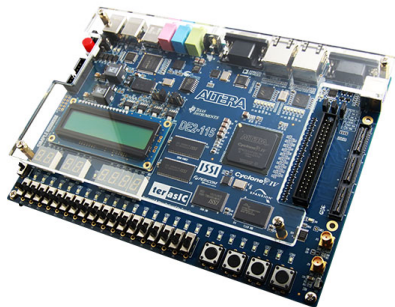
При сборке СнК используются САПР Xilinx.

## компоненты MIPSfpga не в свободном доступе

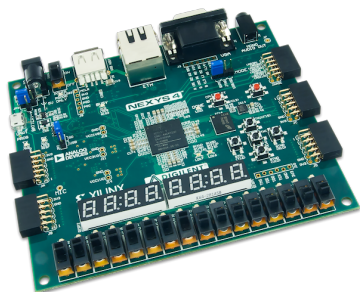
- ▶ процессорное ядро MIPSfpga не в свободном доступе;
  - ▶ затруднительно вносить изменения в ядро;
- ▶ MIPSfpga SoC:
  - ▶ IP-блоки Xilinx не в свободном доступе;
  - ▶ привязка к САПР и ПЛИС Xilinx.

# Платы дороги и малодоступны

платы из MIPSfpga Getting Started Guide  
(Version 1.3, April 5, 2016)



Terasic DE2-115  
\$595  
(Academic \$309)



Digilent Nexys4 DDR  
\$320  
(Academic \$159)



- ▶ отечественный производитель (Таганрог);
- ▶ платы Марсоход (1500 — 4200 — 10500 руб.) на базе ПЛИС Altera;
- ▶ руководства по САПР Altera;
- ▶ руководство по Verilog;
- ▶ блог с готовыми проектами;
- ▶ русскоязычное сообщество.

## плата Марсоход3



ПЛИС MAX10 10M50  
50K LE  
1600 Kbits  
10500 руб.

Для MIPSfpga Getting Started достаточно 24K LE.



## Open source: инструментальное ПО

- ▶ Debian mips-linux-gnu- toolchain (вместо Codescape MIPS SDK);
- ▶ qemu;
- ▶ Icarus Verilog, gtkwave (вместо\* ModelSim);

## Open source: аппаратура

- ▶ процессорное ядро mips32r1 вместо MIPSfpga;
- ▶ шина Wishbone и IP-блоки с opencores вместо AXI и IP-блоков Xilinx;
- ▶ генератор коммутатора Wishbone из fusesoc;
- ▶ доступные платы с ПЛИС.

## процессорное ядро 'mips32r1'

Реализация процессора с архитектурой MIPS32 Release 1. Создано Grant Ayers в рамках проекта eXtensible Utah Multicore (XUM) университета штата Юта в 2010-2012 годах.

Перенесено с OpenCores на github:

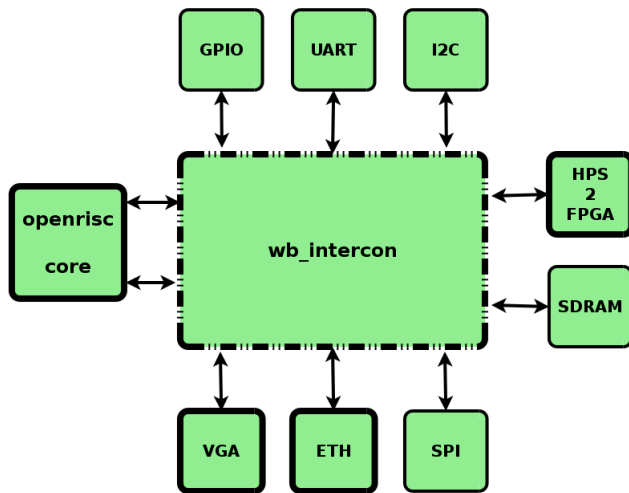
- ▶ [https://github.com/grantae/mips32r1\\_core](https://github.com/grantae/mips32r1_core)

## процессорное ядро 'mips32r1'

- ▶ single-issue in-order 5-stage pipeline;
- ▶ нет MMU;
- ▶ нет кэш-памяти;
- ▶ нет арифметического сопроцессора.

Минималистичное ядро MIPS32r1, влезает в 10К LE Altera.

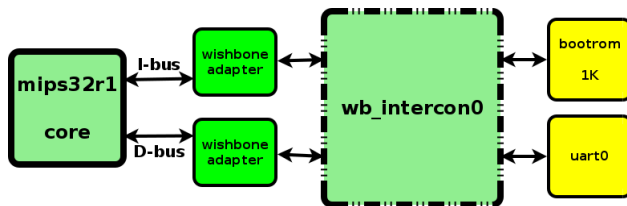
Увы, без поддержки Wishbone из коробки...



fusesoc предоставляет возможность «собрать» СМК Openrisc по сценарию.

# Демонстрационный проект

Демонстрационный проект, совместимый с myMIPSfpga:



Демонстрационный проект подтверждает реализуемость предложенного подхода.

Исходные тексты:

- ▶ [https://github.com/open-design/mips32r1\\_soc\\_nano](https://github.com/open-design/mips32r1_soc_nano)

F I N

# BACKUP

it may be convenient to have some backup/appendix slides ready as a support for answers to potential questions.



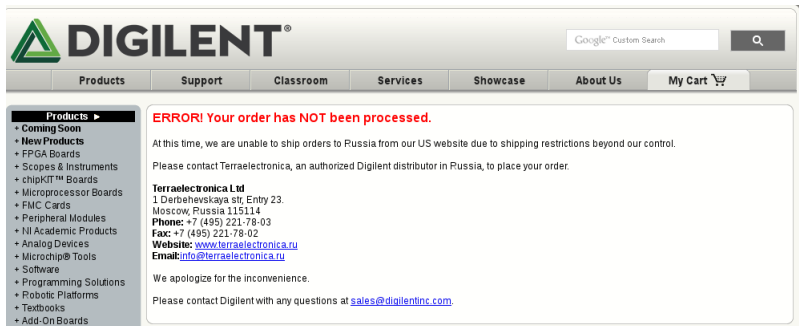
# Ссылки

- ▶ мои проекты
  - ▶ [https://github.com/open-design/mips32r1\\_soc\\_nano](https://github.com/open-design/mips32r1_soc_nano)
  - ▶ <https://github.com/MIPSfpga/myMIPSfpga>
  - ▶ <https://github.com/open-design/quartus-linux-install>
- ▶ процессорное ядро mips32r1
  - ▶ [https://github.com/grantae/mips32r1\\_core](https://github.com/grantae/mips32r1_core)
- ▶ конструктор СнК fusesoc
  - ▶ <https://github.com/olofk/fusesoc>
  - ▶ <https://github.com/openrisc/orpsoc-cores>
- ▶ коллекция IP-блоков opencores.org (> 660 МБ!)
  - ▶ <https://github.com/fabriziotappero/ip-cores>

**GitHub**



# DIGILENT: Your order has NOT been processed.



The screenshot shows the Digilent website header with the logo and navigation menu. The main content area displays an error message in red text: "ERROR! Your order has NOT been processed." Below this, a paragraph explains the shipping restriction to Russia. A sidebar on the left lists product categories. Contact information for Terraelectronica Ltd is provided, including phone, fax, website, and email. The message concludes with an apology and a link to contact Digilent.

**DIGILENT**®

Google™ Custom Search

Products Support Classroom Services Showcase About Us My Cart

**Products**

- + Coming Soon
- + New Products
- + FPGA Boards
- + Scopes & Instruments
- + chipKIT™ Boards
- + Microprocessor Boards
- + FMC Cards
- + Peripheral Modules
- + NI Academic Products
- + Analog Devices
- + Microchip® Tools
- + Software
- + Programming Solutions
- + Robotic Platforms
- + Textbooks
- + Add-On Boards

**ERROR! Your order has NOT been processed.**

At this time, we are unable to ship orders to Russia from our US website due to shipping restrictions beyond our control.

Please contact Terraelectronica, an authorized Digilent distributor in Russia, to place your order.

**Terraelectronica Ltd**  
1 Derbehevskaya str, Entry 23.  
Moscow, Russia 115114  
**Phone:** +7 (495) 221-78-03  
**Fax:** +7 (495) 221-78-02  
**Website:** [www.terraelectronica.ru](http://www.terraelectronica.ru)  
**Email:** [info@terraelectronica.ru](mailto:info@terraelectronica.ru)

We apologize for the inconvenience.

Please contact Digilent with any questions at [sales@digilentinc.com](mailto:sales@digilentinc.com).

«At this time, we are unable to ship orders to Russia from our US website due to shipping restrictions beyond our control.»

From: Елена Диброва <e.dibrova@terraelectronica.ru>  
Subject: RE: срок поставки DL-NEXYS4, Digilent  
Date: Tue, 16 Jun 2015 09:31:12 +0300

Добрый день!

К сожалению, данную позицию поставить не сможем.

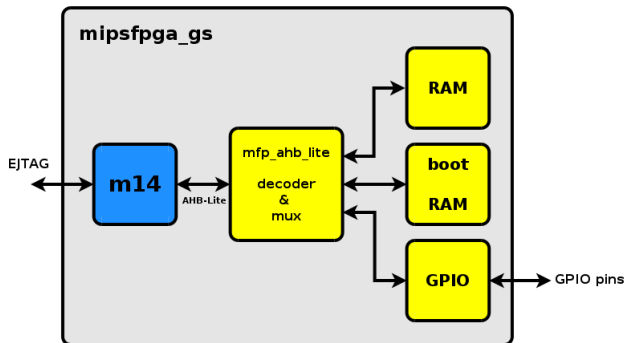
## Что такое MIPSfpga

- ▶ MIPSfpga Getting Started
- ▶ MIPSfpga Fundamentals
- ▶ MIPSfpga SoC
- ▶ ~~The Connected Microcontroller Lab~~

# Что такое MIPSfpga

- ▶ MIPSfpga Getting Started
  - ▶ RTL коды ядра MIPSfpga;
  - ▶ документация на процессорное ядро;
  - ▶ примеры Codescape MIPS SDK;
  - ▶ самые простые примеры; приёмы работы.
- ▶ MIPSfpga Fundamentals
  - ▶ более сложные работы в духе Getting Started: подключение несложных периферийных контроллеров (7SEG display, timer, buzzer, SPI LCD);
  - ▶ лабы: bare-metal ПО.

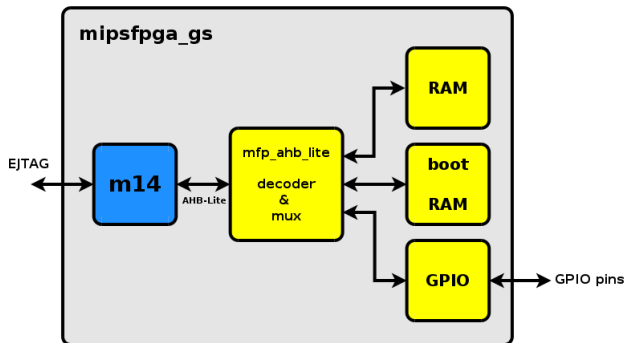
# MIPSfpga Getting Started



Легенда:

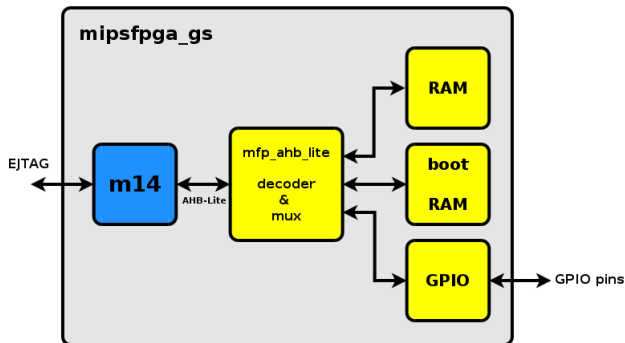
- ▶ синим — процессорное ядро MIPSfpga;
- ▶ жёлтым — блоки MIPSfpga Getting Started.

# MIPSfpga Getting Started



Шина АНВ-Lite позволяет использовать самые простые средства для подсоединения периферии к ядру.

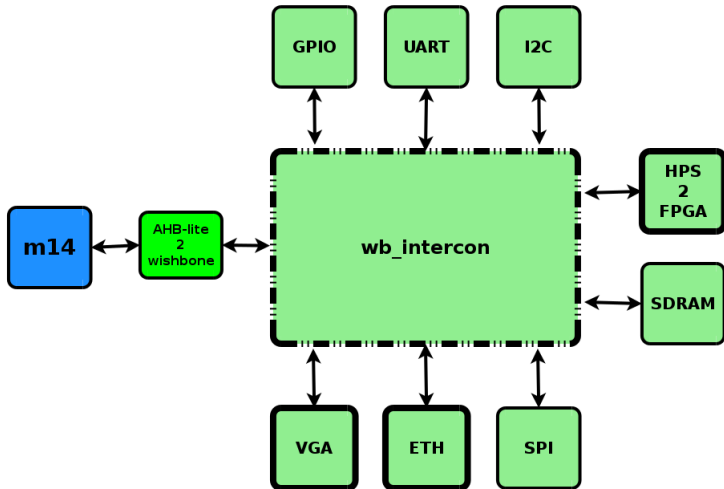
# MIPSfpga Getting Started



Настройки соединения IP-блоков проводятся вручную в коде Verilog.



# fusesoc + MIPSfpga



## Дальнейшие работы

- ▶ интеграция Wishbone контроллера в mips32r1;
- ▶ верификация mips32r1 при помощи тестов НИИСИ РАН;
- ▶ реализация более сложной СнК, сопоставимой с MIPSfpga SoC;
- ▶ поддержка свободно распространяемой САПР для ПЛИС Lattice — icestorm (<http://www.clifford.at/icestorm/>);
- ▶ поддержка ПЛИС Xilinx (e.g. fusesoc has Vivado backend).